

110 ANSWER\ OF IS JAPIO COPYRIGHT 2000 JPO |
AN 1989-149436 JAPIO
TI MANUFACTURE OF SEMICONDUCTOR DEVICE HAVING FLATTENED WIRING
IN OOSAGA IZUMI
PA NEC YAMAGATA LTD, JP (CO 416643)
PI JP 01149436 A 19890612 Heisei
RI JPI987-308211 (JP62308211 Heisei) 19871204
SO PATENT ABSTRACTS OF JAPAN, Unexamined Applications, Section: E, Sect. No. 819, Vol. 13, No. 41, P. 14 (19890911)
AB PURPOSE: To surely prevent the generation of a short-circuit of wiring by a method wherein a metal layer is formed on an insulating film in such a way as to fill the interiors of apertures, an organic film is coated on this in such a way that its surface becomes flat and the metal layer and the organic film are etched on condition that their etching rates becomes the same etching rate.
CONSTITUTION: An oxide film 12 is formed on a semiconductor substrate 11 and a plasma nitride film 13 is formed on this film 12 by a CVD

method. Then, an aperture 14 for a wiring is formed on the film 13 by a lithography. An aperture 15 for contact is selectively formed on the film 12 in the aperture 14. Then, an Al film 16 is adhered on the whole surface by a sputtering method. Then, a photoresist 17 is coated by a spinner method in such a way that its surface becomes flat. Then, the whole surface is etched by a dry etching device in such a way that the ratio of the etching rate of the Al film to the etching rate of the photoresist becomes 1:1. When the etching is stopped at a point of time when the surface of the film 13 is exposed, the surface of the Al layer remaining in the apertures 14 and 15 becomes flush with the surface of the film 13.

Entry 2 of 2 File: DWPI Jun 12, 1989

DERWENT-ACC-NO: 1989-211203
DERWENT-WEEK: 198929
COPYRIGHT 2000 DERWENT INFORMATION LTD
TITLE: Semiconductor device mfr. with multilayer wiring - includes cutting holes through insulator film on substrate, forming metal layer and organic film and dry etching NoAbstract Dwg 1/4

PRIORITY-DATA:
1987JP-0308211 December 4, 1987

PATENT-FAMILY:
PUB-NO PUB-DATE LANGUAGE PAGES MAIN-IPC
JP 01149436 A June 12, 1989 N/A 016 N/A

BEST AVAILABLE COPY

⑫ 公開特許公報 (A)

平1-149436

⑤Int.Cl.¹
H 01 L 21/88識別記号
K-6708-5F

⑬公開 平成1年(1989)6月12日

審査請求 未請求 発明の数 1 (全6頁)

⑭発明の名称 平坦化された配線を有する半導体装置の製造方法

⑮特 願 昭62-308211

⑯出 願 昭62(1987)12月4日

⑰発明者 大佐賀 泉 山形県山形市北町4丁目12番12号 山形日本電気株式会社
内

⑱出願人 山形日本電気株式会社 山形県山形市北町4丁目12番12号

⑲代理人 弁理士 藤巻 正憲

明細書

1. 発明の名称

平坦化された配線を有する半導体装置の
製造方法

2. 特許請求の範囲

(1) 半導体基板上に形成された絶縁膜に選択的に開孔部を形成する工程と、この開孔部内及び前記絶縁膜上に金属層を形成する工程と、この金属層上に有機膜をその表面が平坦になるように塗布する工程と、前記金属層及び有機膜が実質的に同一のエッティング速度になる条件でドライエッチングして前記絶縁膜の開孔部にのみ金属層を残存させる工程と、を有することを特徴とする平坦化された配線を有する半導体装置の製造方法。

(2) 前記開孔部を形成する工程は第1の絶縁膜と第2の絶縁膜とを積層形成する工程と、前記第2の絶縁膜に配線用開孔部を形成する工程と、この配線用開孔部内において前記第1の絶縁膜にコンタクト用開孔部を形成する工程と、を有し、前記金属層を形成する工程は前記配線用開孔部及

びコンタクト用開孔部内並びに前記第2の絶縁膜上に金属層を形成する工程を有することを特徴とする特許請求の範囲第1項に記載の平坦化された配線を有する半導体装置の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は多層配線構造を有する半導体装置の製造に好適の平坦化された配線を有する半導体装置の製造方法に関する。

[従来の技術]

第3図(a)乃至(d)は、従来方法において配線のコンタクト部を形成する工程を順に示す断面図である。先ず、第3図(a)に示すように、第1層アルミニウム配線1上にアラズマCVD法によりアラズマ窒化膜2を形成し、この窒化膜2上にポリイミド層3を形成する。そして、このポリイミド層3をリソグラフィ技術によりバーニングして孔4を形成する。

次に、第3図(b)に示すように、バーニングされたポリイミド層3をマスクにして窒化膜2

を選択的にエッチング除去することにより、塗化膜2にコンタクト開孔部5を形成する。

次いで、第3図(c)に示すように、全面にアルミニウムを被着すると、開孔部5内にアルミニウム層6aが埋め込まれると共に、ポリイミド層3上にはアルミニウム層6bが形成されて、被着アルミニウムはアルミニウム層6aとアルミニウム層6bとに分離される。

そして、第3図(d)に示すように、除去液を使用して、ポリイミド層3を塗化膜2から剥離することにより、ポリイミド層3上のアルミニウム層6bもポリイミド層3と共に除去する。これにより、塗化膜2の開孔部5内にのみアルミニウム層6aが残存してスルーホールコンタクト領域が形成される。

第4図(a)乃至(d)は上述の第3図(a)乃至(d)に示す技術を使用して、多層配線を形成する方法を工程順に示す断面図である。

先ず、第4図(a)に示すように、半導体基板11上に酸化膜12を形成し、酸化膜12上に第

1層アルミニウム配線1をパターン形成する。

そして、全面にアラズマ塗化膜2を形成し、このアラズマ塗化膜2の第1層アルミニウム配線1上の領域に、前述の第3図(a)乃至(d)に示す方法により、アルミニウム層6aを埋め込んでコンタクト領域を形成する。

次に、第4図(b)に示すように、アラズマ塗化膜2及びコンタクト領域(アルミニウム層6a)上に第2層アルミニウム配線7をパターン形成する。

次に、第4図(c)に示すように、全面にアラズマ塗化膜8を被着する。

そして、第4図(d)に示すように、このアラズマ塗化膜8に、第3図(a)乃至(d)に示す方法により、コンタクト領域のアルミニウム層6aを埋設し、更に、このコンタクト領域を含むアラズマ塗化膜8上に第3層アルミニウム配線9を形成する。

[発明が解決しようとする問題点]

しかしながら、上述した従来方法においては、

コンタクト領域を形成する開孔部5のアルミニウム層6aとポリイミド層3上の余剰のアルミニウム層6bとを、塗化膜2及びポリイミド層3の開孔部5における段差によって分離し、ポリイミド層3を除去液により剥離除去することによりポリイミド層3上のアルミニウム層6bも同時に除去している[第3図(c)及び(d)]。

この場合に、ポリイミド層3を除去するには、ポリイミド層3上にアルミニウム層6bが存在するので、ウェット系の除去液を使用する必要がある。しかも、この除去液はアルミニウムを溶解してしまうものであってはならないので、当然、ポリイミド層3を除去した後には基板から分離したアルミニウム層6bがポリイミド除去液中に浮遊する。そして、この一旦分離したアルミニウム層6bが除去液中で基板に再付着することがあり、これにより、配線ショートが発生してしまうという問題点がある。

更に、第3図(c)に示す工程において、開孔部5内に形成するアルミニウム層6aとポリイミ

ド層3上に被着されるアルミニウム層6bとが完全に分離しない場合がある。この場合には、ポリイミド層3を剥離除去する際に、ポリイミド層3上のアルミニウム層6bが除去されずに残り、配線ショートが発生するという問題点がある。

また、この技術により多層配線を形成する場合には、第2層目及び3層目の配線を形成するときに、下層配線の段差が層間膜によって強調され、第4図(d)に丸印A及び丸印Bにて示すように、アルミニウム配線のステップカバレッジ(段差被覆性)が悪化し、アルミニウム配線の断線又はくびれ等が生じやすくなり、信頼性が低下するという問題点もある。

本発明はかかる問題点に鑑みてなされたものであって、配線ショートを防止することができると共に、ステップカバレッジの低下による断線又はくびれ等の発生を抑制して信頼性が向上した配線を設けることができ、多層配線構造の半導体装置の製造に有効な平坦化された配線を有する半導体装置の製造方法を提供することを目的とする。

[問題点を解決するための手段]

本発明に係る平坦化された配線を有する半導体装置の製造方法は、半導体基板上に形成された絶縁膜に選択的に開孔部を形成する工程と、この開孔部内及び前記絶縁膜上に金属層を形成する工程と、この金属層上に有機膜をその表面が平坦になるように塗布する工程と、前記金属層及び有機膜が実質的に同一のエッチング速度になる条件でドライエッチングして前記絶縁膜の開孔部にのみ金属層を残存させる工程と、を有することを特徴とする。

[作用]

本発明においては、絶縁膜に選択的に開孔部を形成し、この開孔部内を埋めるようにして前記絶縁膜上に金属層を形成する。次に、この金属層上に有機膜をその表面が平坦になるように塗布する。

そして、前記金属層と前記有機膜とを両者が実質的に同一のエッチング速度になる条件でエッチングすることにより、金属層を前記開孔部にのみ残存させる。そうすると、エッティング開始時の有

機膜の表面は平坦であるから、絶縁膜が露出するまでエッティングすると、残存した金属層と絶縁層とは面一に形成される。

本発明においては、余分な金属層を除去するために、ウェットエッティングによるポリイミドの剥離ではなく、ドライエッティングにより行うから、除去された金属層が再付着する共に、除去すべき金属層部分が離脱不良で残存することもない。このため、本発明によれば、配線ショートを確実に防止することができる。

また、絶縁膜を第1の絶縁膜と第2の絶縁膜との積層体にし、前記開孔部として、第1の絶縁膜にコンタクト用開孔部を設け、第2の絶縁膜に配線用開孔部を設けた場合には、上記工程によって、配線用金属層を絶縁膜内に埋め込んで絶縁膜と面一に形成することができる。従って、多層配線構造を形成する場合には、上述の方法により配線用金属層による段差が存在しない平坦化された配線を有する半導体装置を製造することができる。従って、各配線用金属層間のステップカバレッジを

向上させることができる。

[実施例]

以下、添付の図面を参照して本発明の実施例について説明する。第1図(a)乃至(f)は本発明の第1の実施例に係る平坦化された配線を有する半導体装置の製造方法を工程順に示す断面図である。

先ず、第1図(a)に示すように、半導体基板11上に酸化膜12を形成し、この酸化膜12上にCVD法によりアラズマ盛化膜13を約1.0μmの厚さに形成する。

次に、第1図(b)に示すように、リソグラフィー技術によりアラズマ盛化膜13に配線用開孔部14を形成する。この配線用開孔部14は所定の配線パターンに従って形成される。

次いで、第1図(c)に示すように、再度リソグラフィー技術を使用して、配線用開孔部14内における酸化膜12に選択的にコンタクト用開孔部15を形成する。このコンタクト用開孔部15は基板11に形成された半導体素子と配線とを接続するためのものである。

次に、第1図(d)に示すように、スパッタリング法により、全面にアルミニウム膜16を被覆する。

次いで、第1図(e)に示すように、フォトレジスト17をスピナー法によりその表面が平坦になるように塗布する。次に、ドライエッティング装置により、アルミニウムとフォトレジストとのエッティング速度の比が1対1になるようにして全面をエッティングする。このようなエッティング条件としては、例えば、印加電力を0.67W/cm²、エッティングガス流量を7.5乃至8.0SCCM、圧力を20Pa、温度を15°Cにすればよい。また、エッティングガスはBCl₃ガス、Cl₂ガス、CH₂Cl₂ガス及びHeガスの混合ガスであり、その流量比は3.5対1.5対1.5対1.0である。

上述のエッティング条件で有機膜(フォトレジスト17)及びアルミニウム膜16をエッティングすることにより、エッティング開始時のフォトレジスト17の表面は平坦であるから、第1図(f)に

示すように、プラズマ塗化膜13の表面が露出した時点でエッチングを停止すると、開孔部14、15内に残存するアルミニウム層の表面はプラズマ塗化膜13の表面と面一になる。そして、酸化膜12のコンタクト用開孔部15内に埋め込まれたアルミニウム層によりコンタクト領域16bが形成され、プラズマ塗化膜13の配線用開孔部14内に埋め込まれたアルミニウム層により配線16aが形成される。

このように、本実施例においては、除去液によるポリイミドのウェットエッチングではなく、ドライエッティングによりコンタクト領域16b及び配線16aを形成するから、除去されたアルミニウム層が基板に再付着することはない。また、開孔部14、15内にのみアルミニウム層を残存させることができる。このため、配線ショートの発生を確実に防止することができる。

また、この実施例においては、配線16aも層間絶縁膜であるプラズマ塗化膜13内にその表面が面一になるように埋め込むことができるので、

配線16a及び層間絶縁膜(プラズマ塗化膜13)を平坦に形成することができる。

第2図(a)乃至(d)は、上述の第1図(a)乃至(f)に示す技術を使用して多層配線を形成する方法を工程順に示す断面図である。第2図(a)乃至(d)において第1図(a)乃至(f)と同一物には同一符号を付して説明を省略する。

先ず、第2図(a)に示すように、半導体基板11上に酸化膜12及びプラズマ塗化膜13を形成し、第1図(a)乃至(f)に示す方法により、コンタクト領域16b及び第1層アルミニウム配線16a、18aを形成する。なお、第1層アルミニウム配線18aは、第1層アルミニウム配線16aのコンタクト領域16bに整合する位置にはコンタクト領域を有していない。このように、基板11に形成された半導体素子とコンタクトをとる必要がある場合にのみ第1図(c)に示す工程によりコンタクト用開孔部15を設けておけば、第3図(d)に示す工程により、コンタクト領域と段差がない平坦な配線とを同時に設けることが

できる。

次に、第2図(b)に示すように、全面にCVD酸化膜19を形成し、更に、このCVD酸化膜19上にプラズマ塗化膜20を形成する。この場合に、第1層アルミニウム配線16a、18aとプラズマ塗化膜13とが面一に形成されているので、CVD酸化膜19及びプラズマ塗化膜20は平坦に形成される。

次に、第2図(c)に示すように、第1図(a)乃至(f)に示す方法により、CVD酸化膜19にコンタクト用開孔部を設け、プラズマ塗化膜20に配線用開孔部を設けた後、各開孔部にアルミニウム層を埋め込むことにより、第1層配線18aと接続されるコンタクト領域21bとこのコンタクト領域21bと接続される第2層配線21aとを形成する。この場合に、CVD酸化膜19が平坦であるから、第2層アルミニウム配線21aを平坦に設けることができる。

次に、第2図(d)に示すように、全面にCVD酸化膜23及びプラズマ塗化膜24を形成した

後、第1図(a)乃至(f)に示す方法により、CVD酸化膜23にコンタクト用開孔部を設け、プラズマ塗化膜24に配線用開孔部を設ける。そして、各開孔部にアルミニウム層を埋込むことにより、第2層アルミニウム配線21aと接続されるコンタクト領域25bとこのコンタクト領域25bに接続される第3層アルミニウム配線25aを形成する。この場合に、第2層配線21aとプラズマ塗化膜20とは面一に形成されているので、CVD酸化膜23が平坦であるから、第3層アルミニウム配線25aを平坦に設けることができる。

このように、上述の方法によれば、各層アルミニウム配線は極めて平坦に形成されるので、各層アルミニウム配線のステップカバレッジは極めて良好であり、断線及び配線のくびれ等の発生を抑制することができ、信頼性が向上した多層構造のアルミニウム配線を設けることができる。

[発明の効果]

以上説明したように、本発明によれば、絶縁膜の開孔部内及び絶縁膜上に被着された金属層のう

ち、絶縁膜上の金属層はドライエッチングにより有機膜と共に除去されるから、従来のようにウェットエッチングによって発生していた金属層の再付着及び離脱不良による配線ショートを防止することができる。

また、絶縁膜を第1の絶縁膜と第2の絶縁膜との積層体にし、第1及び第2の絶縁膜に夫々コンタクト用開孔部及び配線用開孔部を形成することにより、コンタクト領域と配線用金属層とを夫々第1及び第2の絶縁膜内に埋め込み、配線用金属層をこの絶縁膜と面一に形成することができる。このため、多層配線を形成する場合、平坦な配線を再現性よく形成することができる。従って、各配線用金属層間のステップカバレッジが極めて良好であり、断線及び配線のくびれ等が発生することなく、信頼性が高い平坦化された多層構造の配線を得ることができる。

4. 図面の簡単な説明

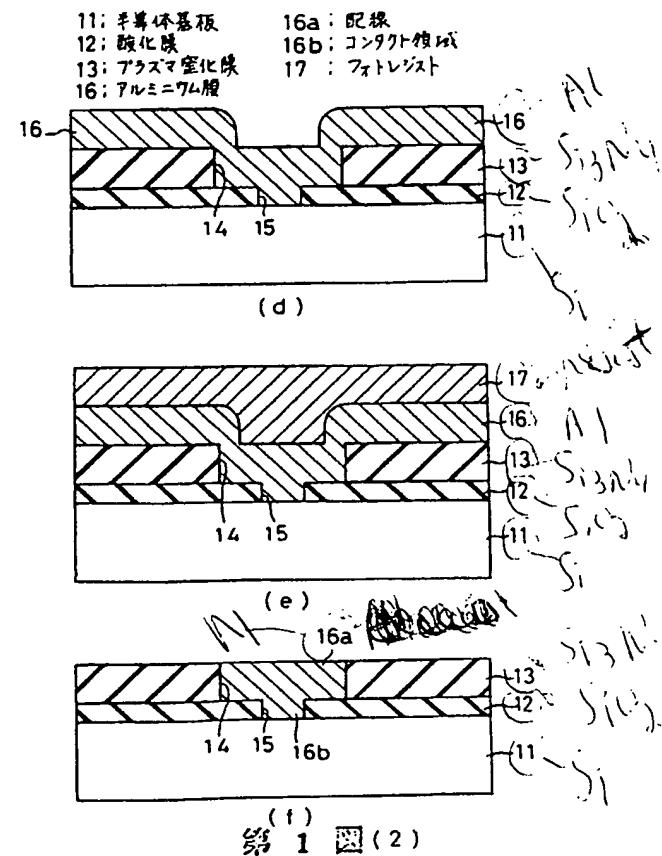
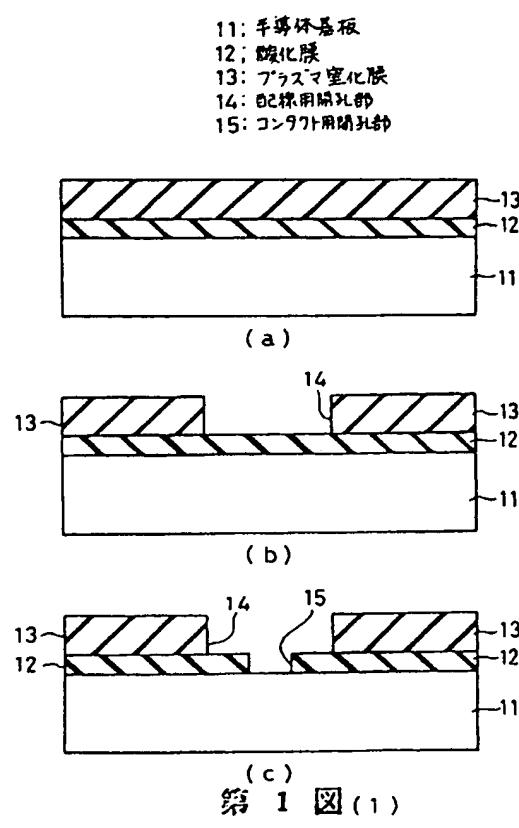
第1図(a)乃至(f)は本発明の実施例方法を工程順に示す断面図、第2図(a)乃至(d)は

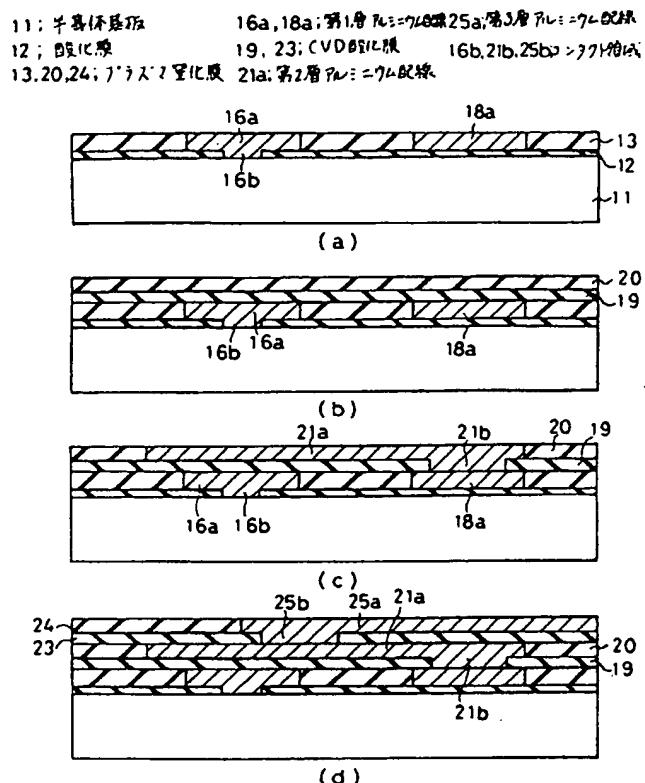
はこの実施例方法を多層配線構造の半導体装置の製造に適用した場合の工程を順に示す断面図、第3図(a)乃至(d)は従来方法を工程順に示す断面図、第4図(a)乃至(d)は従来方法により多層配線構造を有する半導体装置を製造する工程を順に示す断面図である。

1, 16a, 18a; 第1層アルミニウム配線、
2, 8, 13, 20, 24; プラズマ塗化膜、3
; ポリイミド層、4; 孔、5; コンタクト開孔部、
6a, 6b; アルミニウム層、7, 21a; 第2
層アルミニウム配線、9, 25a; 第3層アルミ
ニウム配線、11; 半導体基板、12; 酸化膜、
14; 配線用開孔部、15; コンタクト用開孔部、
16; アルミニウム膜、16b, 21b, 25b
; コンタクト領域、17; フォトレジスト、19,
23; CVD酸化膜

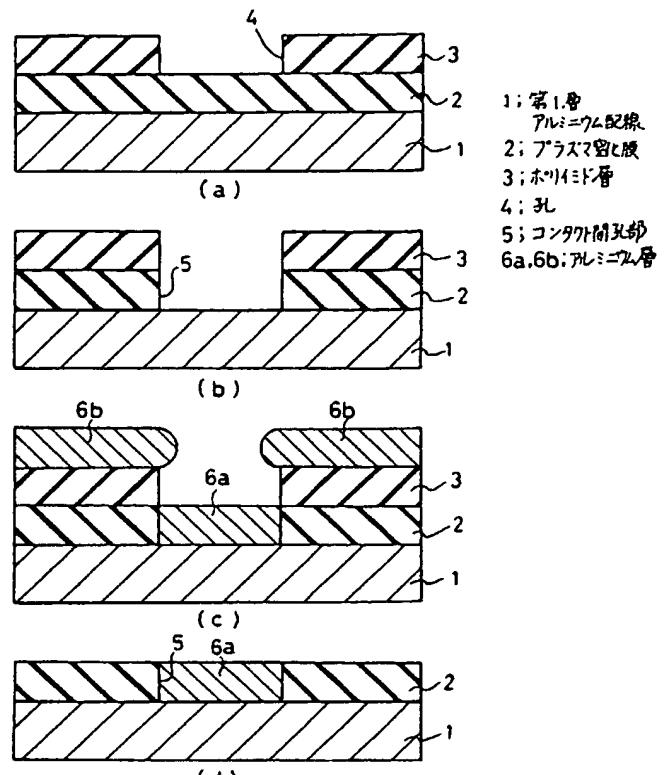
出願人 山形日本電気株式会社

代理人 弁理士 蘭巻正應

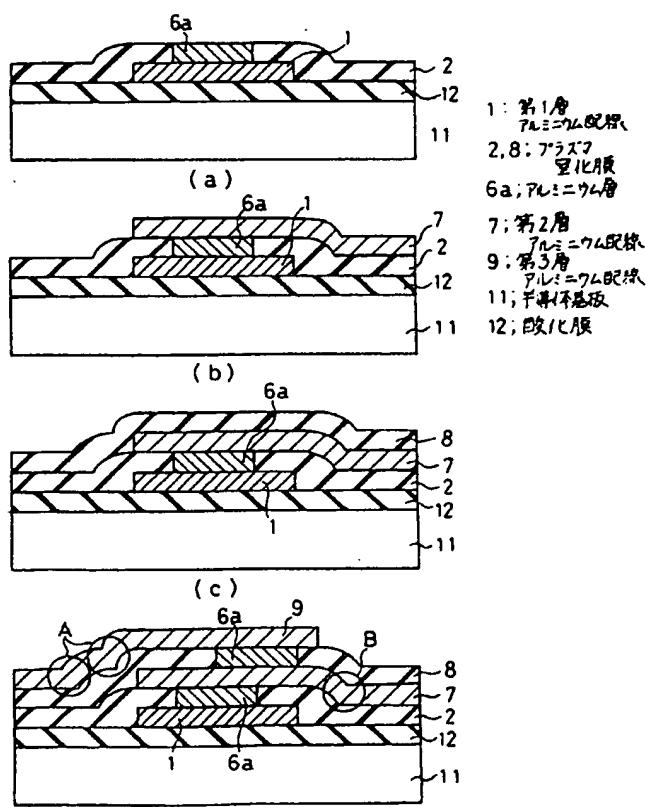




第2図



第3図



第4図